

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 04 月 25 日
Application Date

申 請 案 號：092109655
Application No.

申 請 人：日月光半導體製造股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2004 年 3 月 23 日
Issue Date

發文字號：09320274060
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	多晶片堆疊封裝體
	英文	MULTI-CHIPS STACKED PACKAGE
二、 發明人 (共1人)	姓名 (中文)	1. 王盟仁
	姓名 (英文)	1. Wang, Meng-Jen
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 屏東市和平路68號
	住居所 (英文)	1. No. 68, Heping Rd., Pingtung City, Pingtung, Taiwan 900, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或姓名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 811高雄市楠梓加工區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 26 Chin 3rd Rd., Nantze Export Processing Zone Kaoshiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chang, Jason



四、中文發明摘要 (發明名稱：多晶片堆疊封裝體)

一種多晶片堆疊封裝體，至少包含一載板、一第一晶片、一第二晶片、複數條導電線與複數條導電凸塊。第一晶片係藉複數個導電凸塊覆晶接合於載板之上表面，而第二晶片係容置於載板之開口中，且藉複數條導電線與第一晶片打線接合。再者，第二晶片更可藉複數條導電線直接與載板打線接合。

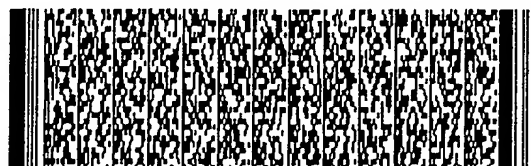
五、(一)、本案代表圖為：圖2

(二)、本案代表圖之元件代表符號簡單說明：

- 210 第一晶片
- 212 第一晶片主動表面
- 220 載板
- 222 開口
- 224 載板上表面
- 226 載板下表面

六、英文發明摘要 (發明名稱：MULTI-CHIPS STACKED PACKAGE)

A multi-chips stacked package at least comprises a carrier, a first chip, a second chip, a plurality of conductive wires and a plurality of conductive bumps. The first chip is flip-chip bonded to the upper surface of the carrier and the second chip is accommodated in the opening wire-bonded to the first chip. Furthermore, the second chip can wire-bond to the carrier via the plurality of conductive



四、中文發明摘要 (發明名稱：多晶片堆疊封裝體)

- 228 鐳球
- 230 第二晶片
- 240 晶片導電線
- 250 導電凸塊
- 260 黏著層(導熱膠)
- 270 底膠
- 280 攔壩

六、英文發明摘要 (發明名稱：MULTI-CHIPS STACKED PACKAGE)

wires directly.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

(一)、【發明所屬之技術領域】

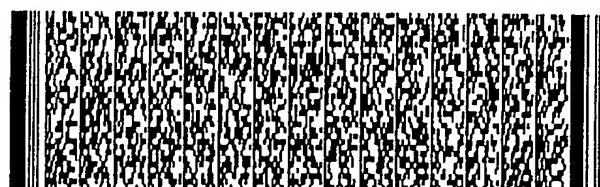
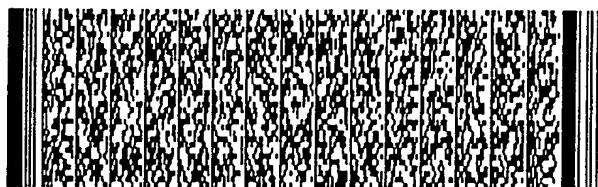
本發明是有關於一種多晶片堆疊封裝體，特別是有關於一種晶片能同時與其他晶片及載板直接電性連接之多晶片堆疊封裝體，以增加晶片的輸入/輸出訊號密度及提升晶片中之線路佈局設計自由度之多晶片堆疊封裝體。

(二)、【先前技術】

隨著微小化以及高運作速度需求的增加，多晶片堆疊封裝體在許多電子裝置越來越吸引人。多晶片堆疊封裝體可藉由將兩個或兩個以上之晶片組合在單一封裝體中，來提升系統之運作速度。此外，多晶片堆疊封裝體可減少晶片間連接線路之長度而降低訊號延遲以及存取時間。

最常見的多晶片堆疊封裝體為並排式(side-by-side)多晶片堆疊封裝體，其係將兩個以上之晶片彼此並排地安裝於一共同載板之主要安裝面。晶片與共同載板上導電線路間之連接一般係藉由打線法(wire bonding)達成。然而該並排式多晶片堆疊封裝體之缺點為封裝效率太低，因為該共同載板之面積會隨著晶片數目的增加而增加。

因此半導體業界開發出一多晶片堆疊封裝體之設計(參照圖1)，其特徵在於提供一第一晶片110覆晶接合於一具有一開口122之載板120上表面124，再將一第二晶片130容置於載板120之開口122中，並與上述之第一晶片110覆晶接合。一般而言，第一晶片110與第二晶片130可分別為記憶晶片及邏輯晶片，如此可將第一晶片110與第二晶片



五、發明說明 (2)

130之訊號於封裝體內先行整合後，再經由載板120下表面126之錫球128與外界電性連接。如此之封裝體設計不僅能減少封裝體之厚度，更可提升晶片之運算及傳輸效能。然而，由於第一晶片與第二晶片覆晶接合前，需先於第一晶片及第二晶片上設計覆晶錫墊及其上之球底金屬層，故增加製程之複雜度且增加其製造成本。此外，第二晶片之訊號只能經由第一晶片再傳導至載板上，故進行第一晶片上線路佈局之設計常需與第二晶片之線路佈局進行整合考量，故降低第一晶片線路佈局之設計自由度。

有鑑於此，為避免前述多晶片堆疊封裝體之缺點，以提升多晶片堆疊封裝體中之晶片效能，實為一重要的課題。

(三)、【發明內容】

有鑑於上述課題，本發明之目的係提供一種多晶片堆疊封裝體，用以提升晶片線路佈局之設計自由度及簡化製程並降低製造成本。

緣是，為了達成上述目的，本發明係提供一種多晶片堆疊封裝體，主要包含一載板、一第一晶片、一第二晶片、複數個導電線與複數個導電凸塊。第一晶片係藉複數個導電凸塊覆晶接合於載板之上表面，而第二晶片係容置於載板之開口中，且藉複數個導電線與第一晶片打線接合。再者，第二晶片更可藉複數個導電線直接與載板打線接合。如此，第二晶片之訊號不僅能經由第一晶片傳導至



五、發明說明 (3)

載板上，更可直接與載板電性導通，故進行第一晶片上線路佈局之設計可有較高之設計自由度。

綜上所述，本發明之多晶片堆疊封裝體主要係利用第二晶片能藉由複數條導電線與第一晶片及載板同時電性導通，如此在進行第一晶片上線路佈局之設計可有較高之設計自由度外，再者不需另於第一晶片及第二晶片上設計覆晶鐳墊及在其上設置球底金屬層，故可簡化製程並降低製造成本。

(四)、【實施方式】

以下將參照相關圖式，說明依本發明較佳實施例之多晶片堆疊封裝體。

圖2係顯示本發明第一較佳實施例之多晶片堆疊封裝體。本發明之多晶片堆疊封裝體至少包含一第一晶片210、載板220、一第二晶片230、複數條晶片導電線240與複數個導電凸塊250。其中，第一晶片210係藉複數個導電凸塊250覆晶接合於載板220之上表面224，而第二晶片230係容置於載板220之開口222中，並可藉由一黏著層(導熱膠)260設置於第一晶片210之主動表面212上，且利用複數條晶片導電線240與第一晶片210打線接合。再者，可於載板220之開口222中填充一底膠270用以至少包覆複數個導電凸塊250及第二晶片230與複數條晶片導電線240，如此不僅可避免連接載板220與第一晶片210間之導電凸塊250，因載板220與第一晶片210之熱膨脹係數之差異而破壞。此外，更可用以保

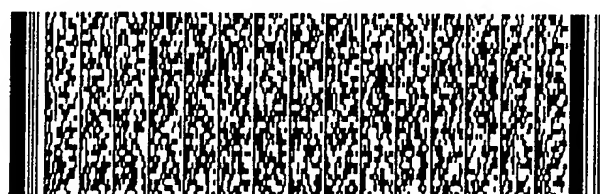
五、發明說明 (4)

護晶片導電線240及第二晶片230。另外，亦可將底膠270填充包覆載板220與第一晶片210間之導電凸塊250，而第二晶片230及晶片導電線240則可包覆其他封膠體以保護之，如環氧膠。由於第二晶片230係藉晶片導電線240與第一晶片210電性連接，故不需另於第一晶片210及第二晶片230上設計覆晶鉑墊及在其上設置球底金屬層，故可簡化製程並降低製造成本。此外，該載板220之下表面226可設置有複數個鉑球228，用以與外界電性導通。

值得注意的是，當填充底膠270包覆導電凸塊250、第二晶片230與複數條導電線240時，若填充過量之底膠270，易造成載板下表面226之污染，而影響鉑球228設置於載板下表面226之可靠度。故可於載板開口222之週邊設置一攔壩280(dam)，如一環形膠體，以避免上述之問題。

接著，請參考圖3，其係顯示本發明第二較佳實施例之多晶片堆疊封裝體。與上述不同的是，第二晶片230更可藉一載板導電線290與載板220電性連接。如此，第二晶片230之訊號不僅能經由第一晶片210傳導至載板220上，更可直接與載板220電性導通，故進行第一晶片210上線路佈局之設計可有較高之設計自由度。

於本實施例之詳細說明中所提出之具體的實施例僅為了易於說明本發明之技術內容，而並非將本發明狹義地限制於該實施例，因此，在不超出本發明之精神及以下申請專利範圍之情況，可作種種變化實施。



圖式簡單說明

(五)、【圖式簡單說明】

圖1為一示意圖，顯示習知一種多晶片堆疊封裝體的剖面示意圖。

圖2為一示意圖，顯示本發明第一較佳實施例之多晶片堆疊封裝體之剖面示意圖。

圖3為一示意圖，顯示本發明第二較佳實施例之多晶片堆疊封裝體之剖面示意圖。

元件符號說明：

110、210	第一晶片
212	第一晶片主動表面
120、220	載板
122、222	開口
124、224	載板上表面
126、226	載板下表面
128、228	鐳球
130、230	第二晶片
240	晶片導電線
250	導電凸塊
260	黏著層(導熱膠)
270	底膠
280	攔壩
290	載板導電線



六、申請專利範圍

1. 一種多晶片堆疊封裝體，包含：

一載板，具有一上表面、一下表面及一開口；

一第一晶片，具有一主動表面，其中該第一晶片係藉複數個導電凸塊與該載板之該上表面覆晶接合，且該第一晶片係覆蓋該開口；以及

一第二晶片，該第二晶片係設置於該第一晶片之該主動表面上，且藉複數條晶片導電線與該第一晶片電性連接。

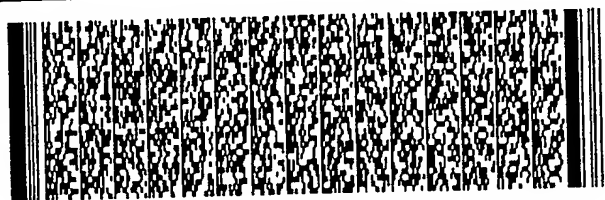
2. 如申請專利範圍第1項所述之多晶片堆疊封裝體，其中更包含一載板導電線，該第二晶片係藉該載板導電線與該載板電性連接。

3. 如申請專利範圍第1項所述之多晶片堆疊封裝體，其中該載板下表面更包含一攔壩，該攔壩係設置於該開口之週邊。

4. 如申請專利範圍第3項所述之多晶片堆疊封裝體，其中該攔壩係為一環狀。

5. 如申請專利範圍第3項所述之多晶片堆疊封裝體，其中該攔壩係為一膠體。



6. 如申請專利範圍第1項所述之多晶片堆疊封裝體，其中更包含一底膠，該底膠係至少包覆該等導電凸塊。



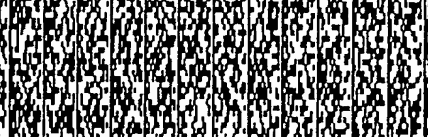
六、申請專利範圍

7. 如申請專利範圍第1項所述之多晶片堆疊封裝體，其中更包含一底膠，該底膠係至少包覆該等導電凸塊、該等晶片導電線、該第二晶片。
8. 如申請專利範圍第1項所述之多晶片堆疊封裝體，其中更形成一黏著層於該第一晶片主動表面與該第二晶片之該背面間。






A large, dense, black and white abstract pattern, possibly a high-resolution scan of a textured surface or a complex digital graphic. The pattern consists of numerous small, irregular, and interconnected shapes, creating a complex, almost cellular or crystalline appearance. The overall effect is one of high contrast and intricate detail, with no discernible text or recognizable objects.



100



圖式

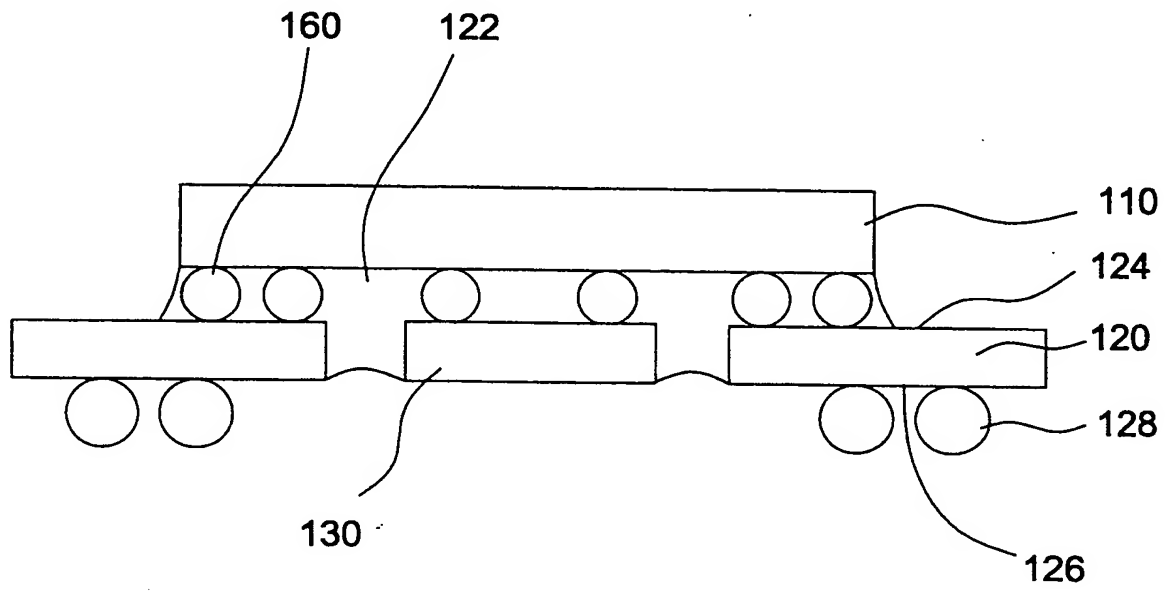


圖1

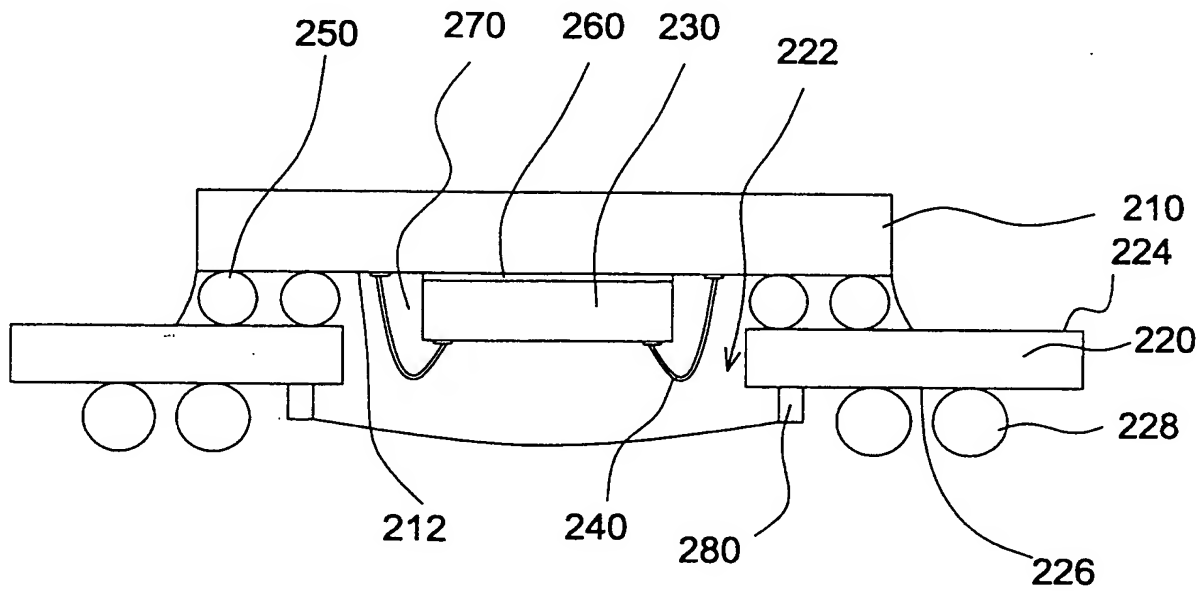


圖2

圖式

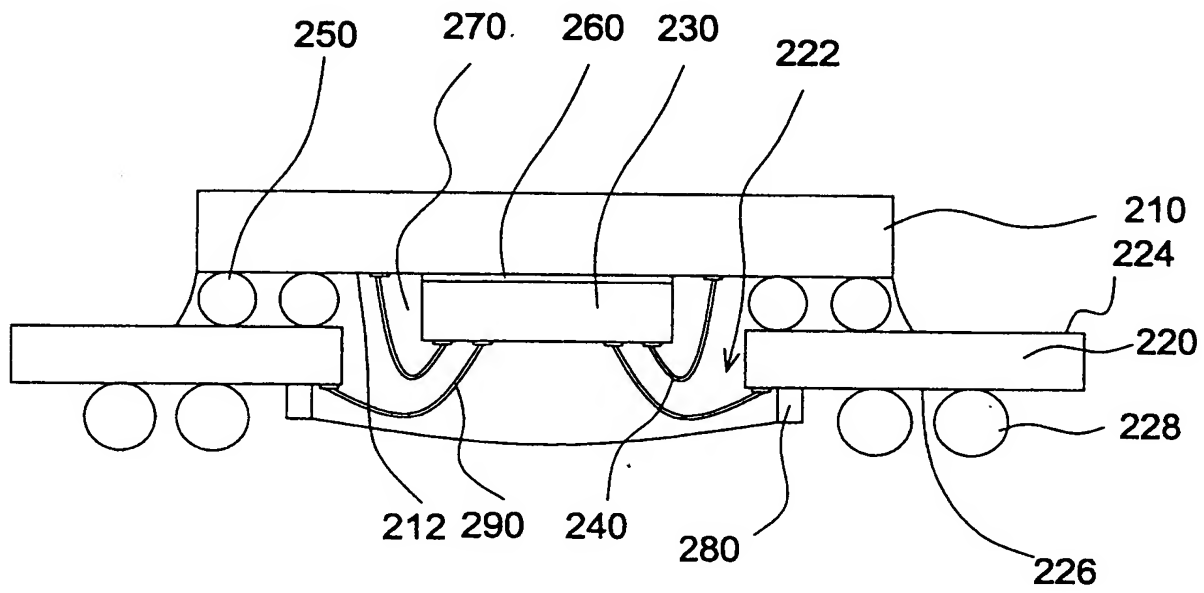


圖3

裝

訂

線